

KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000066155 A  
 (43)Date of publication of application: 15.11.2000

(21)Application number: 1019990013037  
 (22)Date of filing: 13.04.1999

(71)Applicant: ANAM SEMICONDUCTOR., LTD.  
 (72)Inventor: KIM, SEO WON  
 LEE, GANG HEON

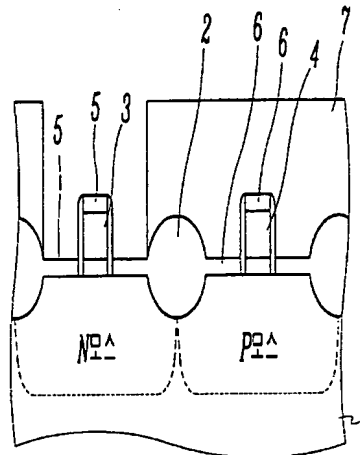
(51)Int. Cl H01L 21/334

## (54) METHOD FOR MANUFACTURING SHALLOW JUNCTION AND SILICIDE OF SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: A method for manufacturing a shallow junction and silicide of a semiconductor device is provided to decrease the number of manufacturing processes and to uniformly form a titanium silicide layer in a fine contact size, by simultaneously forming the shallow junction and the titanium silicide layer.

CONSTITUTION: After a gate electrode is formed in a metal oxide semiconductor(MOS) transistor region of an isolated silicon wafer(1), a sacrificial oxidation layer(6) is eliminated. An epi-silicon layer(8) doped with p-type or n-type impurities is selectively grown only on an exposed surface of the silicon wafer and an exposed upper part of a gate electrode(3,4). A titanium thin film is stacked on the silicon wafer on which the epi-silicon is selectively stacked. One of arsenic ions, molybdenum ions or tungsten ions is injected into the silicon wafer having the titanium thin film to make the epi-silicon become amorphous. The silicon wafer is annealed to form a titanium silicide while forming a shallow junction of a source and a drain, and the remaining titanium thin film is eliminated.



COPYRIGHT 2001 KIPO

## Legal Status

Date of final disposal of an application (20020724)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup> (11) 공개번호 특2000-0066155  
H01L 21/334 (43) 공개일자 2000년11월15일

(21) 출원번호 10-1999-0013037  
(22) 출원일자 1999년04월13일  
(71) 출원인 아남반도체 주식회사 황인길  
서울특별시 성동구 성수동 2가 280-8  
(72) 발명자 김서원  
경기도부천시원미구상동417사랑마을1612동181호  
이강현  
경기도부천시원미구중2동복사골건영아파트1711동1704호  
(74) 대리인 송만호, 오원석

심사청구 : 있음

(54) 반도체 소자의 얇은 접합 및 실리콘사이드 형성 방법

요약

반도체 소자의 제조 공정중 소스/드레인 영역의 얇은 접합과 콘택 저항을 저감하기 위한 실리콘사이드를 형성하기 위하여, 소자 분리된 실리콘웨이퍼의 모스 트랜지스터 영역에 게이트 전극을 형성한 다음, 희생 산화막을 제거하여 실리콘웨이퍼 및 게이트 전극 상부의 폴리 실리콘이 드러나도록 한다. 그리고, UV-CVD에 의해 N형 또는 P형 불순물이 도핑된 에피 실리콘을 실리콘웨이퍼 표면 및 폴리 실리콘 상부에만 선택적으로 시키며, 실리콘웨이퍼 상부에 스퍼터법에 의해 티타늄 박막을 적층한다. 그리고, 비소, 폴리브덴, 텅스텐 중 어느 하나의 이온을 주입하여 에피 실리콘을 비정질하고, 750°C 이상의 온도에서 어닐링하여 티타늄 실리콘사이드를 형성함과 동시에 소스/드레인의 얇은 접합을 형성한다. 이후, 잔류하는 티타늄 박막을 제거하는 것으로, 반도체 소자의 얇은 접합과 티타늄 실리콘사이드를 동시에 형성할 수 있으므로 반도체 소자의 제조 공정을 줄일 수 있을 뿐만 아니라 티타늄 실리콘사이드를 미세한 콘택 사이즈에서도 균일하게 형성할 수 있으므로 미세 반도체 소자의 수율을 향상시킬 수 있다.

도면

도1a

색인어

티타늄 실리콘사이드, 얇은 접합, 에피 실리콘, 이온주입, 비정질 실리콘

명세서

도면의 간단한 설명

도 1a 내지 도 1j는 본 발명에 따라 상보형 모스 트랜지스터의 얇은 접합 및 실리콘사이드를 형성하는 방법을 도시한 공정도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 공정에 관한 것으로, 더욱 상세하게는 반도체 소자의 제조 공정중 소스/드레인 영역의 얇은 접합과 콘택 저항을 저감하기 위한 실리콘사이드를 형성하는 방법에 관한 것이다.

일반적으로 현재의 상보형 모스 구조의 전계 효과 트랜지스터에 있어서, 트랜지스터 구동회로의 콘택(contact)부의 저항을 낮추기 위하여 티타늄 실리콘사이드 형성 기술이 이용되고 있다.

그러나 반도체 소자의 미세화에 따른 폴리 배선 폭과 콘택부의 면적 감소 등에 반하여 티타늄 실리콘사이드의 형성은 무척 어렵게 된다. 즉, 티타늄 실리콘사이드 형성시 하부 실리콘웨이퍼의 실리콘 그레인(grain) 사이즈에 의해 응집 현상(agglomeration) 등이 발생하여 티타늄 실리콘사이드가 균일하게 생성되지 않으므로 콘택부의 저항의 편차폭이 커지는 문제점이 발생한다.

따라서, 최근에는 하부 폴리 실리콘에 몰리브덴(Mo), 비소(As) 등의 무거운 원소를 이온주입(implant)하는 PAI(pre-amorphized implant) 기술이 개발되었다. 즉, PAI 공정 후 티타늄 실리콘사이드 형성을 위한 티

타늄 박막을 적층하고, 어닐링(annealing) 함으로써 균일한 티타늄 실리사이드 형성을 촉진시키는 것이다.

한편, 반도체 소자의 축소화에 따른 얇은 접합(shallow junction)의 필요성에 대응하여 종래의 이온주입 공정이 아닌 레이저드 소스 드레인(raised source drain) 기술이 최근 개발되고 있다. 즉, 불순물이 도핑된 에피 실리콘(epi-Si)층을 증착한 후, 어닐(anneal)에 의해 에피 실리콘층의 불순물이 하부 실리콘웨이퍼로 확산되게 함으로써 얇은 소스/드레인 접합을 형성하는 방법이다.

그러나, P모스 형성을 위해 에피 실리콘층에 도핑된 불순물이 붕소(B)인 경우에는, 에피 실리콘에 도핑된 붕소가 에피 실리콘 상부에 적층된 티타늄 박막과 우선적으로 결합하여 TiB<sub>2</sub>를 형성하게 되며, 실리사이드 형성을 위한 어닐 공정에서 TiB<sub>2</sub>가 티타늄과 에피 실리콘 사이에서 확산 배리어(barrier)층으로 작용하게 되어 티타늄 실리사이드 형성을 어렵게 한다. 따라서, P모스에서의 콘택 실리사이드 형성이 어렵게 되는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 이와 같은 문제점을 해결하기 위한 것으로, 그 목적은 미세 반도체 소자의 콘택 저항을 저감하기 위한 티타늄 실리사이드를 균일하게 형성함과 동시에 반도체 소자의 얇은 접합을 형성하는 방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명은 게이트 전극 형성후에 희생 산화막을 제거하고, 실리콘 웨이퍼와 폴리실리콘 표면에 불순물이 도핑된 에피 실리콘을 성장시킨다. 그리고, 비소(As), 몰리브덴(Mo), 텅스텐(W) 중 어느 하나의 이온을 주입하여 에피 실리콘을 비정질화한 다음 티타늄 박막을 적층하거나, 티타늄 박막을 적층한 다음 이온 주입을 통해 에피 실리콘을 비정질화한 다음, 어닐링하여 반도체 소자의 얇은 접합과 티타늄 실리사이드를 동시에 형성하는 것을 특징으로 한다.

즉, 소자 분리된 실리콘웨이퍼의 모스 트랜지스터 영역에 게이트 전극을 형성한 다음, 실리콘웨이퍼를 습식 세정하여 희생 산화막을 제거함으로써 실리콘웨이퍼 및 게이트 전극 상부의 폴리 실리콘이 드러나도록 한다. 그리고, UHV-CVD(ultra high vacuum - chemical vapor deposition)에 의해 에피 실리콘을 실리콘웨이퍼 표면 및 폴리 실리콘 상부에만 선택적으로 성장하며, IN-SITU 공정으로 N형 또는 P형 불순물을 에피 실리콘에 도핑하여 불순물이 도핑된 에피 실리콘을 선택적으로 성장시킨다.

이후, 에피 실리콘이 선택적으로 적층된 실리콘웨이퍼 상부에 스퍼터(sputter)법에 의해 티타늄 박막을 적층한 다음, 비소, 몰리브덴, 텅스텐 중 어느 하나의 이온을 주입하여 에피 실리콘을 비정질화한다.

이후, 실리콘웨이퍼를 750°C 이상의 온도에서 어닐링(annealing)하여 티타늄 실리사이드를 형성함과 동시에 소스/드레인의 얇은 접합을 형성하고, 잔류하는 티타늄 박막을 제거함으로써 반도체 소자의 얇은 접합 및 실리사이드를 완성한다.

이때, 에피 실리콘을 비정질화하기 위한 이온의 주입은 티타늄 박막을 적층하기 이전에 실시할 수도 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 설명한다.

도 1a 내지 도 1j는 본 발명에 따라 상보형 모스 트랜지스터의 얇은 접합 및 실리사이드를 형성하는 방법을 도시한 공정도이다.

먼저 도 1a에 도시한 바와 같이, LOCOS(local oxidation of silicon) 방법이나 STI(shallow trench isolation) 방법에 의해 소자분리영역(2)이 정의된 실리콘웨이퍼(1)의 각 소자 영역에 선택적 이온주입을 통해 N모스 영역(P웰)과 P모스 영역(N웰)을 형성한 후, 각 모스 영역에 게이트 산화막과 폴리, 측벽 스페이서를 포함하는 게이트 전극(3, 4)을 형성한다. 이때, 게이트 전극(3, 4) 상부 및 실리콘웨이퍼(1)의 표면에는 희생 산화막(5, 6)이 남아있게 한다. 그리고, 실리콘웨이퍼(1) 전면에 감광막(7)을 도포한 후, N모스 영역만 드러나도록 감광막(7)을 패터닝(patterning)한다.

그 다음 도 1b에 도시한 바와 같이, 패터닝된 감광막(7)을 마스크로 실리콘웨이퍼(1)를 습식 세정(wet cleaning)하여 N모스 영역의 실리콘웨이퍼(1) 표면 및 게이트 전극(3) 상부의 희생 산화막(도 1a의 5)을 제거함으로써, N모스 영역의 실리콘웨이퍼(1) 표면 및 게이트 전극(3) 상부의 폴리 실리콘이 드러나도록 한다.

그 다음 도 1c에 도시한 바와 같이, UHV-CVD(ultra high vacuum - chemical vapor deposition)에 의해 N모스 영역의 실리콘웨이퍼(1) 표면 및 게이트 전극(3)의 상부에만 선택적으로 에피 실리콘(8)을 증착한다. 이때, 에피 실리콘(8)을 증착하는 중, IN-SITU 공정으로 인(P)과 같은 N형 불순물을 에피 실리콘(8)에 도핑(doping)한다.

그 다음 도 1d에 도시한 바와 같이, 패터닝된 감광막(7)을 제거하고, 다시 실리콘웨이퍼(1) 전면에 감광막(9)을 도포한 후, P모스 영역만 드러나도록 감광막(9)을 패터닝한다.

그 다음 도 1e에 도시한 바와 같이, 패터닝된 감광막(9)을 마스크로 실리콘웨이퍼(1)를 습식 세정하여 P모스 영역의 실리콘웨이퍼(1) 표면 및 게이트 전극(4) 상부의 희생 산화막(도 1d의 6)을 제거함으로써, P모스 영역의 실리콘웨이퍼(1) 표면 및 게이트 전극(4) 상부의 폴리 실리콘이 드러나도록 한다.

그 다음 도 1f에 도시한 바와 같이, UHV-CVD에 의해 P모스 영역의 실리콘웨이퍼(1) 표면 및 게이트 전극(4)의 상부에만 선택적으로 에피 실리콘(10)을 증착한다. 이때, 에피 실리콘(10)을 증착하는 중, IN-SITU 공정으로 붕소(B)와 같은 P형 불순물을 에피 실리콘(10)에 도핑한다.

그 다음 도 1g에 도시한 바와 같이, 패터닝된 감광막(도 1f의 9)을 제거한 후, 실리콘웨이퍼(1) 전면에 티타늄 박막(11)을 적층한다. 이때, 티타늄 박막(11)의 적층은 스퍼터(sputter)법에 의해 적층하며, 스퍼터된 티타늄 박막(11)의 두께는 500 Å 이하가 되도록 한다.

그 다음 도 1h에 도시한 바와 같이, 티타늄 박막(11)이 적층된 실리콘웨이퍼(1) 전면에 비소(As), 몰리브덴(Mo), 텅스텐(W) 등의 무거운 이온을 이온주입한다. 그러면, 티타늄 박막(11)을 통하여 하부 에피 실리콘층(8, 10)으로 비소, 몰리브덴, 텅스텐 등의 무거운 이온이 이온주입되며, 결과적으로 티타늄 박막(11)과 에피 실리콘층(8, 10)의 소정 깊이까지 비정질화(amorphized) 된다.

그 다음 도 1i에 도시한 바와 같이, 실리콘웨이퍼(1)를 750°C 이상의 온도로 어닐링한다. 그러면, 비정질화된 에피 실리콘층(8, 10)과 티타늄 박막(11)에서의 계면 반응에 의해 티타늄 실리콘사이드(도 1j의 12)가 형성되며, 비정질화된 에피 실리콘층(8, 10)에 도핑된 불순물은 실리콘웨이퍼(1) 및 게이트 전극(3, 4)으로 확산됨과 동시에 활성화되어 게이트 전극(3, 4)을 활성화시킴과 동시에 각 MOS 영역의 소스/드레인 영역으로의 얇은 접합(13, 14)을 형성하게 된다. 이때, 티타늄 실리콘사이드가 형성되는 과정에서, 비정질화된 에피 실리콘층(8, 10) 상부의 티타늄 박막(11)은 하부 에피 실리콘층(8, 10)의 결정 사이즈에 영향을 받지 않으므로 균일한 티타늄 실리콘사이드의 형성이 가능하게 되며, 더욱이 이온주입된 비소, 몰리브덴, 텅스텐 등의 이온 작용에 의해 종래와 같은 TiB<sub>2</sub>로의 반응이 억제되고, 실리콘사이드로의 반응이 촉진된다. 따라서, 미세한 콘택 사이즈에서도 티타늄 실리콘사이드의 형성을 극대화시킬 수 있다.

그 다음 도 1j에 도시한 바와 같이, 티타늄 실리콘사이드 형성에 이용되지 않고 잔류하는 티타늄 박막을 제거함으로써, 상보형 MOS 트랜지스터의 얇은 접합 및 실리콘사이드를 완성한다.

상기의 실시예에서 에피 실리콘층을 비정질화하기 위하여 도 1h에서와 같이, 티타늄 박막을 적층한 후, 이온주입을 실시하였지만, 이와는 달리 티타늄 박막을 적층하기전 이온주입을 실시하여 에피 실리콘층을 비정질화할 수도 있다.

#### 발명의 효과

이와 같이 본 발명은 반도체 소자의 얇은 접합과 티타늄 실리콘사이드를 동시에 형성할 수 있으므로 반도체 소자의 제조 공정을 줄일 수 있을 뿐만 아니라 티타늄 실리콘사이드를 미세한 콘택 사이즈에서도 균일하게 형성할 수 있으므로 미세 반도체 소자의 수율을 향상시킬 수 있다.

#### (5) 청구의 범위

**청구항 1.** 소자 분리된 실리콘웨이퍼의 MOS 트랜지스터 영역에 게이트 전극을 형성한 후, 희생 산화막을 제거하는 단계와;

상기 실리콘웨이퍼의 드러난 표면 및 게이트 전극의 드러난 상부에만 P형 또는 N형의 불순물이 도핑된 에피 실리콘층을 선택적으로 성장시키는 단계와;

상기 에피 실리콘이 선택적으로 적층된 실리콘웨이퍼 상부에 티타늄 박막을 적층하는 단계와;

상기 티타늄 박막이 적층된 실리콘웨이퍼에 비소, 몰리브덴, 텅스텐 중 어느 하나의 이온을 주입하여 상기 에피 실리콘을 비정질화하는 단계와;

상기 실리콘웨이퍼를 어닐링하여 티타늄 실리콘사이드를 형성함과 동시에 소스/드레인의 얇은 접합을 형성하고, 잔류하는 티타늄 박막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 얇은 접합 및 실리콘사이드 형성 방법.

**청구항 2.** 제 1 항에 있어서, 상기 에피 실리콘을 비정질화하기 위해 이온을 주입하는 단계를 상기 티타늄 박막을 적층하는 단계 이전에 실시하는 것을 특징으로 하는 반도체 소자의 얇은 접합 및 실리콘사이드 형성 방법.

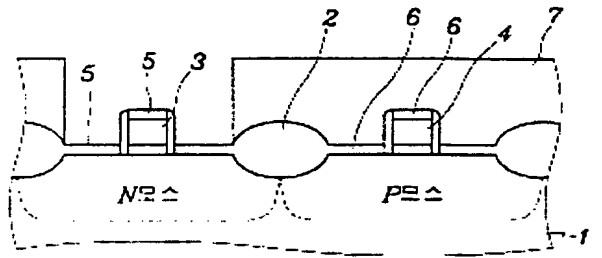
**청구항 3.** 제 1 항 또는 제 2 항에 있어서, 상기 티타늄 박막의 적층하는 단계에서 티타늄 박막의 적층은 스퍼터법에 의해 적층하는 것을 특징으로 하는 반도체 소자의 얇은 접합 및 실리콘사이드 형성 방법.

**청구항 4.** 제 3 항에 있어서, 상기 티타늄 실리콘사이드 형성 및 얇은 접합을 형성하는 단계에서 어닐링은 750°C 이상의 온도에서 실시하는 것을 특징으로 하는 반도체 소자의 얇은 접합 및 실리콘사이드 형성 방법.

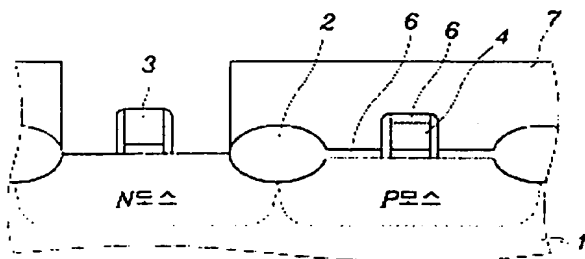
**청구항 5.** 제 4 항에 있어서, 상기 N형 또는 P형 불순물이 도핑된 에피 실리콘의 성장하는 단계에서 에피 실리콘의 성장은 MHV-CVD에 의해 성장하며, IN-SITU 공정으로 N형 또는 P형 불순물을 상기 에피 실리콘에 도핑하는 것을 특징으로 하는 반도체 소자의 얇은 접합 및 실리콘사이드 형성 방법.

#### 도면

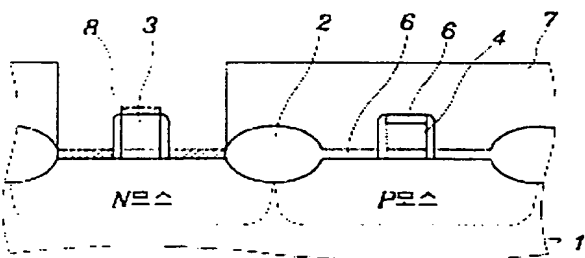
도면1a



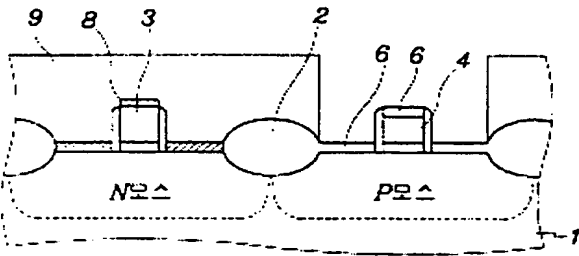
도면1b



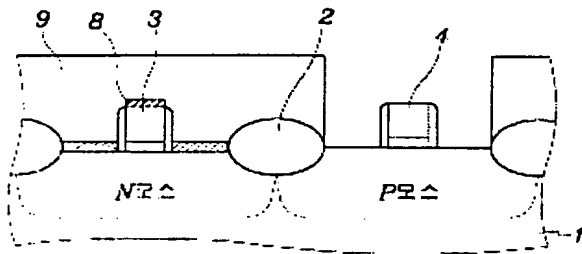
도면1c



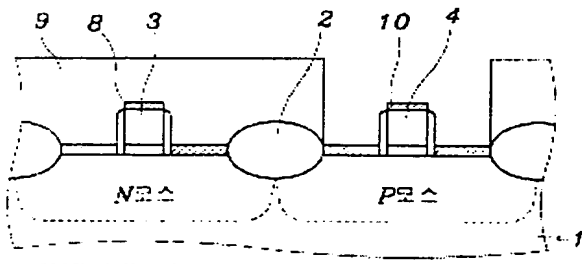
도면1d



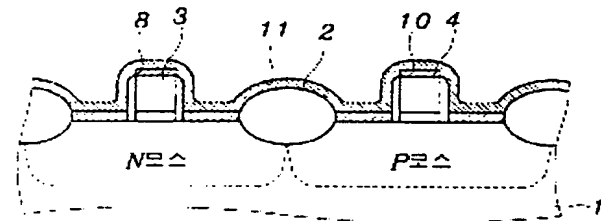
도면 1e



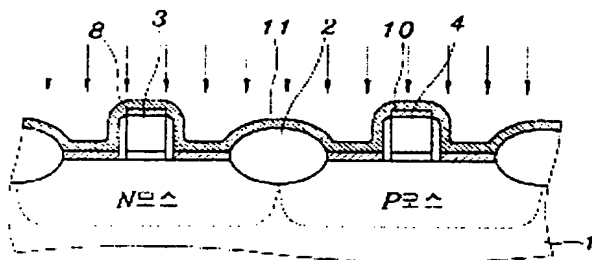
도면 1f



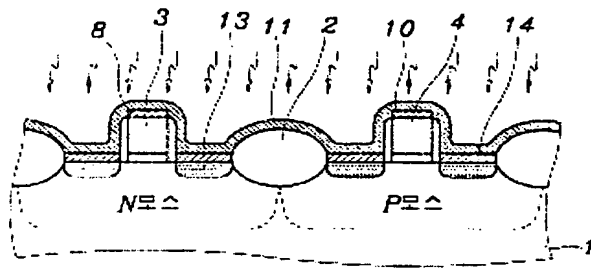
도면 1g



도면 1h



도면1i



도면1j

